

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10150191 A**

(43) Date of publication of application: **02.06.98**

(51) Int. Cl.

H01L 29/78

H01L 21/336

(21) Application number: **08322216**

(22) Date of filing: **18.11.96**

(71) Applicant: **TOYOTA CENTRAL RES & DEV
LAB INC**

(72) Inventor: **UESUGI TSUTOMU
SUZUKI TAKASHI
KAWAJI SACHIKO
MURATA TOSHIO**

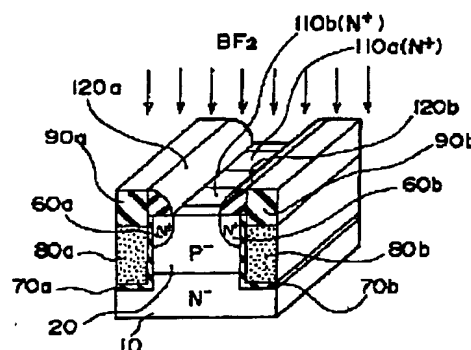
(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an element process technique of forming a mask for ion-implantation use in a self-alignment and to provide a method of manufacturing a new vertical power device.

SOLUTION: N⁺ source regions 60a and 60b formed using a mask for trench processing use have the relation of a self-alignment with cap oxide films 90a and 90b on the upper parts of a trench and the cap oxide films on the upper parts of the trench have the relation of a self-alignment with the end parts of sidewalls 120a and 120b, whereby the positions of the regions 60a and 60b and the positions of the end parts of the sidewalls 120a and 120b both result in being decided on the bias of the end parts of step parts on the upper parts of the trench. Thereby, the sidewalls 120a and 120b are respectively sure to be positioned on the regions of the regions 60a and 60b. Accordingly, it becomes possible to form a mask for implantation use in a self-alignment.

COPYRIGHT: (C)1998,JPO



(51) Int.Cl.⁵H 0 1 L 29/78
21/336

識別記号

F I

H 0 1 L 29/78

6 5 3 C

6 5 8 B

審査請求 未請求 請求項の数 1 F D (全 11 頁)

(21) 出願番号 特願平8-322216

(22) 出願日 平成8年(1996)11月18日

(71) 出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番
地の1

(72) 発明者 上杉 勉

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(72) 発明者 鈴木 隆司

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(74) 代理人 弁理士 布施 行夫 (外2名)

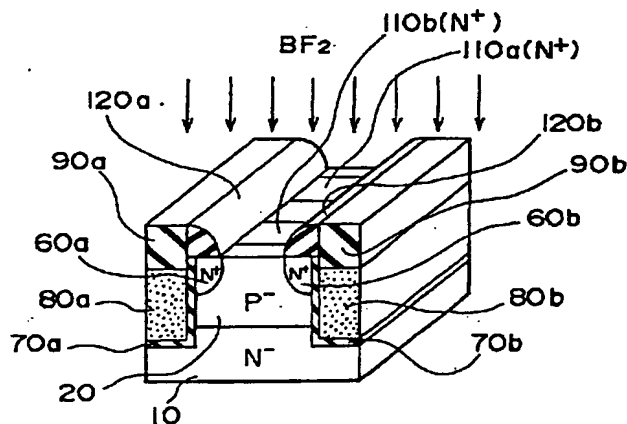
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 イオン打ち込み用マスクをセルフアラインで形成する要素プロセス技術の提供、および新規な縦型パワーデバイスの製造方法の提供である。

【解決手段】 トレンチの加工用マスクを用いて形成されたN+ソース領域60a、60bと、トレンチ上部のキャップ酸化膜90a、90bとは自己整合の関係にある。また、トレンチ上部のキャップ酸化膜とサイドウォール120a、120bの端部とは自己整合の関係にある。よって、N+ソース領域の位置とサイドウォールの端部の位置とは共にトレンチ上部の段差部の端部を基準に決まることになる。よって、サイドウォール120a、120bは必ずN+ソース領域60a、60bの領域の上に位置する。したがって、セルフアラインでイオン打ち込み用マスクを形成することが可能となる。



【特許請求の範囲】

【請求項1】 トレンチ上部の段差部の側壁に接してサイドウォールを形成し、これによって、前記トレンチの加工用マスクを用いて形成された第1導電型の領域の少なくとも一部を覆う工程と、
前記サイドウォールをマスクとして用いて、第2導電型不純物を導入する工程とを含むことを特徴とする半導体装置の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に、トレンチゲート構造のMOSFET (UMOS) やIGBT (Insulated Gate Bipolar Transistor) 等の、縦型の絶縁ゲート半導体装置の製造方法に関する。

【0002】

【背景技術】

(1) トレンチゲートを有するUMOSFETは従来のプレーナ型パワーMOSFETに比べ、オン抵抗を容易に低減できることから、次世代パワーMOSFETとして注目されている。

【0003】 UMOSFETでは、オン抵抗を低減することが重要であり、オン抵抗低減のための技術の一つとして、「ソース(n+)領域の平面パターンを梯子状にする」というものがある(例えば、特開平7-2235672号公報)。

【0004】 特開平7-2235672号公報では、まず、梯子状のソース領域を形成し、その後、ソース形成に使用した不純物拡散マスクを除去し、新たにトレンチ加工用のマスクをフォトリソグラフィ技術により形成し、トレンチ(溝)の加工を行っている。

【0005】 (2) 一方、パワーMOSFETの破壊耐量を向上させるためには、P型ボディ層の表面部分の不純物濃度を高めておくことが必要である。以下、このことについて説明する。

【0006】 図23(a)に縦型パワーMOSFET (UMOSFET) の構成例を示す。複数のMOSFET 500a~500nによりインダクタンス性負荷Lが駆動されるようになっており、一つのMOSFETは、N+基板400、N-エピタキシャル層402、ボディP層404、ソース層(N+) 406a、406b、ゲート絶縁膜410、ゲート電極408、ソース電極412a、412bを有している。

【0007】 図中、参照番号Q1、Q2は寄生NPNトランジスタであり、参照番号D1、D2は寄生ダイオードであり、参照番号Rは、ボディP層の寄生抵抗(ボディコンタクト抵抗を含む)である。なお、参照番号420は電源である。

【0008】 図23(b)は図23(a)のデバイスの等価回路を示す。

【0009】 MOSFET (M) のソース(S)とドレイン(D)との間に寄生ダイオードD1と抵抗Rが直列に接続され、また、D1とRの直列経路とは並列に、寄生NPNトランジスタQ1のコレクタ・エミッタ経路が介在している。

【0010】 図23(a)に示すように、MOSトランジスタ(M)がオンからオフに変化すると、インダクタンス負荷(L)の逆起電力に起因してブレイクダウン電流IB1が、ダイオードD1(D2)および抵抗R1(R2)を介して流れる。このとき、抵抗R1(R2)の両端に発生する電圧降下が寄生バイポーラトランジスタQ1(Q2)のベース・エミッタ間電圧(VBE)を越えると、寄生バイポーラトランジスタQ1(Q2)がオンし、過大なブレイクダウン電流IB2がトランジスタQ1(Q2)に集中して流れ、ほとんどの場合、接合破壊やシリコンや配線の溶融が生じて、素子が破壊される。

【0011】 特に、パワーMOSFET等を自動車制御に用いる場合には、車載用負荷はモーターあるいはソレノイドバルブ等のインダクタンス負荷が大半を占めるため、インダクタンス逆起電力により生じるアバランシェ破壊を回避することは極めて重要である。アバランシェ破壊は、上述したように、パワーMOSFET構造中に存在する寄生バイポーラトランジスタの動作に伴い破壊に至る現象であり、高破壊耐量を実現するにはこの寄生バイポーラトランジスタ動作を抑制する必要がある。

【0012】 このためには、図23(a)、(b)中の抵抗R1(R2)の抵抗値を下げ、ブレイクダウン電流IB1が流れた場合の抵抗R1(R2)における電圧降下が、寄生バイポーラトランジスタQ1(Q2)のベース・エミッタ間電圧(VBE)より低くなるようにしなければならない。よって、ボディP層404の表面のP型不純物の濃度を高めて低抵抗化することが重要である。

【0013】 これまでのMOSFETの製造方法では、このP型ボディ領域の表面の高濃度化(P+層の形成)は、フォトリソグラフィ技術を用いてマスクを形成し、イオン打ち込み法により不純物をP型ボディ領域の表面に導入することによって行なっている。

【0014】

【発明が解決しようとする課題】 上述のように、ボディP層の表面の不純物濃度を高める工程は、フォトリソグラフィ技術を用いて行われるため、トレンチゲートに対する位置合わせのマージン(余裕)を見込む必要があり、それがソース領域の縮小に限界を与えることになる。

【0015】 また、梯子状ソース領域とトレンチ(溝)との位置合わせ誤差も考慮する必要があるため、このこともソース領域のさらなる微細化の妨げとなる。

【0016】 本発明はこのような問題的に着目してなされたものであり、その目的の一つは、さらなるデバイス

の微細化を可能とするための新規な要素プロセス技術を提供することにある、他の目的は、縦型パワーデバイスの製造プロセスをセルフアライン化してデバイスの微細化を促進し、トランジスタのオン抵抗のさらなる低減を実現することにある。

【0017】

【課題を解決するための手段】

(1) 本発明の半導体装置の製造方法の一つは、トレンチ上部の段差部の側壁に接してサイドウォールを形成し、これによって、前記トレンチの加工用マスクを用いて形成された第1導電型の領域の少なくとも一部を覆う工程と、前記サイドウォールをマスクとして用いて、第2導電型不純物を導入する工程とを含むことを特徴とする。

【0018】トレンチの加工用マスクを用いて形成された第1導電型の領域と、トレンチ（およびトレンチ上部の段差部）とは自己整合の関係にある。また、トレンチ上部の段差部とサイドウォールの端部とは自己整合の関係にある。よって、第1導電型の領域の位置とサイドウォールの端部の位置とは共にトレンチ（トレンチ上部の段差部の端部）を基準に決まることになる。よって、サイドウォールは必ず第1導電型の領域の上に位置することになる。したがって、フォトリソグラフィ技術を用いることなくセルフアラインでイオン打ち込み用マスクを形成することが可能となる。

【0019】したがって、工程の簡略化ができると共に、位置合わせマージンを考慮する必要がないためにデバイスの微細化も可能となる。

【0020】(2) 上述の要素プロセスを用いると、縦型パワーデバイスの製造プロセスをセルフアライン化してデバイスの微細化を促進し、トランジスタのオン抵抗のさらなる低減を実現することも可能となる。これが本出願に係る他の発明であり、その内容は以下のとおりである。なお、下記の発明において、「キャップ絶縁層」が上述の「トレンチ上部の段差部」に相当する。

【0021】すなわち、第1導電型の第1の半導体層上に第2導電型の第2の半導体層が形成され、その第2の半導体層の表面部分に梯子状の平面パターンを有する第1導電型の不純物領域が形成され、前記第2の半導体層の一部を貫通して前記第1の半導体層に達する溝が形成され、その溝の内側にゲート絶縁膜を介してゲート電極材料が充填され、そのゲート電極材料の表面がキャップ絶縁層で覆われ、前記梯子状の平面パターンを有する第1導電型の不純物領域の表面および前記第2導電型の第2の半導体層の表面に共通の電極が接続され、その電極が接続されている前記第2導電型の第2の半導体層の表面が高不純物濃度となっている半導体装置の製造方法であって、前記溝に沿って、前記梯子状の平面パターンを有する第1導電型の不純物領域を構成する第1の部分形成する工程と、前記第1の部分と交わる方向に、前記梯

子状の平面パターンを有する第1導電型の不純物領域を構成する、前記第1の部分よりも高不純物濃度である第2の部分形成する工程と、前記溝に充填されている前記ゲート電極材料の表面を覆う前記キャップ絶縁層の端部を基準としてサイドウォールを形成し、そのサイドウォールによって前記第1の部分の表面の少なくとも一部を覆う工程と、前記キャップ絶縁層および前記サイドウォールをマスクとして用いて、前記第2の部分および前記第2の半導体層の表面に第2導電型不純物を導入して、前記第2の半導体層の表面の不純物濃度を高める工程と、を含むことを特徴とするものである。

【0022】この発明は、ボディP層の表面の高濃度化をセルフアラインで実現する半導体装置の製造方法である。

【0023】すなわち、梯子状の第1導電型の不純物領域（パワーMOSFETではソース領域、IGBTの場合はエミッタ領域）における低不純物濃度の第1部分を溝（トレンチ）に沿って形成し、その第1部分に交わる（好ましくは直交する）方向に高不純物濃度の第2部分を形成し、低不純物濃度の第1部分を、トレンチ端（キャップ絶縁膜の端部）を基準とするサイドウォールで覆って、全面にイオン打ち込みにより第2導電型の不純物を導入する。一連の工程は、全てセルフアライン化されている。

【0024】ボディP層の表面の不純物濃度が高まって低抵抗となっているため、素子の破壊耐量が低下することはない。

【0025】一方、梯子状の第1導電型の不純物領域の第2部分は高不純物濃度となっているため、第2導電型の不純物がイオン打ち込みによって導入されても第1導電型が維持されると共に、実際の使用に十分な不純物濃度は確保できるために問題は生じない。

【0026】また、梯子状の不純物領域の第1部分は低不純物濃度となっているため、熱処理による過度の拡散が防止され、よって熱処理に起因して第1の部分どうしが相互に接続されてしまうような不都合が生じない。そして、その第1部分はサイドウォール端（キャップ絶縁膜の端部）を基準とするサイドウォールで覆ってあるので、第2導電型の不純物がイオン打ち込みにより導入されることがなく、導電型の反転や抵抗値の上昇の問題は生じない。

【0027】このようにして、フォトリソグラフィ技術を用いたマスク形成を用いずにボディP層の表面を高濃度化できる。よって、マスクずれ等を考慮した余裕（マージン）を設ける必要がなく、デバイスのさらなる微細化、トランジスタのオン抵抗の低減を図れる。

【0028】

【発明の実施の形態】

(1) トレンチゲートを採用したパワーMOSFETの構造

図19に本実施の形態にかかるトレンチゲートを採用した縦型のパワーMOSFETの断面構造を図19に示す。

【0029】この縦型MOSFETは、ドレインとなるN⁺層5およびN⁺層10上に、ボディP層20が形成され、このボディP層20の表面部分にはP⁺層130が形成されている。

【0030】また、トレンチ（溝）の内壁面にはゲート絶縁膜70a、70bが形成され、トレンチの内部にはポリシリコンからなるゲート電極層80a、80bが充填され、ゲート電極層80a、80bの表面はキャップ酸化膜90a、90bで覆われている。

【0031】また、ボディP層20の表面部分において、ゲート絶縁膜70a、70bに接してソース層（n⁺）60a、60b等が形成されている。

【0032】そして、基板表面において、ソース電極200が、ボディP層20の表面のP⁺層130ならびにソース層（n⁺）60a、60bに接して形成され、基板の裏面にはドレイン電極220が形成されている。

【0033】このトランジスタのオン時には、オン電流I_dが、基板の裏面（ドレイン）から基板の表面（ソース）へと流れる。ボディP層20のゲート絶縁膜70a、70bに接する領域がチャネル領域となる。

【0034】このような構造をもつMOSFETの等価回路が図20に示される。図中、「G」はゲートであり、「D」はドレインであり、「S」はソースである。チャネル領域の電位はソース電位となっていて、安定化されている。ボディP層20の表面にP⁺層130が形成されていることによって、寄生抵抗（図23（a）、（b）の抵抗R）の抵抗値が小さく、寄生トランジスタがオンしにくい構造となっている。

【0035】なお、図19に示される基板裏面のN⁺層5をP⁺層に置き換えると、IGBTとなる。IGBTはMOSトップのインバーテッドダーリントトランジスタであり、この場合には、N⁺層60a、60bはエミッタとなり、基板裏面のP⁺層はコレクタとなる。

【0036】本発明は、パワーMOSFETのみならずIGBTの場合にも同様に適用できるが、以下、パワーMOSFETを例にとって説明する。

【0037】（2）トレンチゲートを採用したパワーMOSFETの製造方法

以下、図1～図22を参照して、本実施の形態にかかるパワーMOSFETの製造方法について説明する。

【0038】図1～図13は、本実施の形態の製造プロセスの主要な工程の要部を示す各工程毎のデバイス断面図であり、図14～図18は、図1～図13で示される製造プロセスの理解を容易にするための、補助的図面

（平面図ならびに断面図）である。図14（a）、

（b）は図2に対応し、図15（a）、（b）は図3に対応し、図16（a）、（b）は図5に対応し、図17

（a）～（c）は図7に対応し、図18（a）～（c）は図13に対応している。

【0039】なお、図1～図13では、図19のN⁺層5は省略している。また、本実施の形態のトランジスタのソース領域は、平面的にみて梯子状のパターンで形成されるものとする。また、梯子状ソースのトレンチに沿うストライプ状の部分第1の部分とし、この第1の部分に直交する部分を第2の部分とする。

【0040】工程1

まず、図1に示すように、ドレイン層（N⁻）10、ボディP層（P⁻）20上に、シリコン窒化膜（Si₃N₄）からなるトレンチマスク30を形成し、続いて砒素（As）をイオン打ち込みする。このときのドーズ量は $3 \times 10^{14} \text{ atoms/cm}^2$ 程度であり、通常のソース形成のための不純物濃度よりも一桁程度低くしている。これは以下の理由による。

【0041】本工程で導入された不純物は後の犠牲酸化工程やゲート絶縁膜の形成工程の熱処理によって活性化、拡散されて、梯子状ソース領域の構成部分である第1の部分（トレンチに沿うストライプ状の部分）となる。したがって、本工程で導入するN型不純物の量が多すぎると、熱処理による拡散が進みすぎて拡散層が深くなりすぎる恐れがあり、これを防止するためにトレンチ間の距離を大きくするとデバイスの微細化を図れない。よって、不純物濃度を低めに抑えている。

【0042】工程2

次に、図2に示すように、トレンチマスク30の両端面に接してサイドウォール40a、40bを形成する。このサイドウォール40a、40bは、CVD法によりSiO₂膜を基板の全面に形成し、RIE（リアクティブイオンエッチング）を施してトレンチマスク30上のSiO₂膜を除去することによって形成される。

【0043】サイドウォール40a、40bを形成するのは、トレンチとソース領域との位置関係をセルフアラインで決定するためである。このことについては、以下の工程で説明する。

【0044】図14（a）、（b）に、本工程におけるデバイスの平面図および断面図が示される。（a）において、平面図は要部のみを抜き出して描いてある。

（b）は、（a）に示されるデバイスのA-A線に沿う断面図である。

【0045】工程3

図3に示すように、サイドウォール40a、40bの端部を基準にしてRIEにより基板を垂直にエッチングし、トレンチ50a、50bを形成する。

【0046】このとき、サイドウォール40a、40bが形成されていることによって、工程1（図1）において導入された砒素（As）のうちの一部は異方性エッチングを行った後も、除去されることなく残存する。

【0047】図15（a）、（b）に、本工程における

デバイスの平面図および断面図が示されている。(b)は、(a)に示されるデバイスのA-A線に沿う断面図である。

【0048】工程4

続いて、図4に示すように、犠牲酸化ならびに犠牲酸化膜の除去により、トレンチ加工に起因する基板のダメージを回復させる。犠牲酸化時の熱処理(1000℃以上)によって、残存する砒素(As)の一部が活性化されて、梯子状のソース領域(N⁺)の構成部分である第1の部分60a, 60bが形成される。

【0049】つまり、犠牲酸化工程は、ソース領域(第1の部分)の形成工程を兼ねることになる。

【0050】なお、犠牲酸化のかわりに、例えばケミカルドライエッチング(CDE)を行い、エッチングによるダメージを除去してもよい。

【0051】工程5

図5に示すように、熱処理によりトレンチの内壁面を酸化し、ゲート酸化膜70a, 70bを形成する。このときの熱処理によって、ソース領域の第1の部分60a, 60bは外側に広がる。第1の部分の不純物濃度は、 $1 \times 10^{19} \text{ atoms/cm}^3$ 程度である。

【0052】図16(a), (b)に、本工程におけるデバイスの平面図および断面図が示されている。(b)は、(a)に示されるデバイスのA-A線に沿う断面図である。

【0053】工程4において犠牲酸化を行わない場合には、本工程がソース領域の第1の部分の形成工程を兼ねることになる。

【0054】このようにして、トレンチに沿って、自動的にソース領域の第1の部分60a, 60bが形成される。つまり、第1の部分60a, 60bは、トレンチに対して自己整合的に形成される。よって、マスクの位置ずれ等を考慮した余裕(マージン)を設ける必要がなく、デバイスの微細化が可能である。このことは、トランジスタのオン抵抗の低減につながる。

【0055】工程6

次に、図6に示すように、トレンチの内部にポリシリコンからなるゲート電極80a, 80bを埋め込む。この埋め込みは、ポリシリコンをデポジット後、RIEにより不要部分を除去することによって行われる。

【0056】ポリシリコンとしては、ノンドープのもの、あるいはドープドポリシリコンのいずれも使用可能である。

【0057】工程7

次に、図7に示すように、トレンチマスク(Si_3N_4)30をマスクとして用いてトレンチ内部に充填されているポリシリコンの表面を酸化(局所酸化)し、キャップ酸化膜90a, 90bを形成する。トレンチマスク(Si_3N_4)30を酸化マスクとしても利用するため、キャップ酸化もセルフアラインで行える。なお、キャップ酸

化膜90a, 90bは酸化の際に体積膨張するため、基板の表面との間に段差が形成される。

【0058】そして、トレンチマスク(Si_3N_4)30を除去する。

【0059】工程8

次に、図8に示すように、トレンチと直交する方向に、レジストマスク100a, 100b, 100cを形成する。各レジストマスクの相対的位置関係が保たればよく、絶対的位置の正確性は要求されないため、このフォトリソ工程は、一連の連続したセルフアラインプロセスの妨げにはならない。

【0060】そして、砒素(As)をイオン打ち込み法により基板表面に導入する。この場合のドーズ量は図1の場合のドーズ量よりも大きく、 $3 \times 10^{15} \text{ atoms/cm}^2$ 以上とするのが好ましい。

【0061】このようにドーズ量を増加させても、すでにゲート構造の形成(ゲート酸化膜形成のための高温の熱処理)は終了しているために、不純物層が不必要に広がる心配がない。

【0062】工程9

図9に示すように、熱処理(800℃, 20分程度)によって工程8で導入した砒素(As)を活性化させて、梯子状のソース領域(N⁺)の構成部分である第2の部分110a, 110bを形成する。この第2の部分のN型不純物濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以上とすることが好ましい。

【0063】これによって、第1の部分60a, 60bと第2の部分110a, 110bとが連結して、梯子状のパターンをもつソース領域が形成される。ソース領域を梯子状にすることは、トランジスタのオン抵抗の低減に寄与する。

【0064】本工程におけるデバイスの平面図および断面図が図17(a)~(c)に示される。(a)はデバイスの平面図であり、(b)は(a)におけるA-A線に沿う断面図であり、(c)は(a)におけるB-B線に沿う断面図である。

【0065】工程10

次に、図10に示すようにキャップ酸化膜90a, 90bの端部を基準にしてサイドウォール120a, 120bを形成する。サイドウォール120a, 120bの形成方法は、工程2(図2)のサイドウォール40a, 40bの形成方法と同じであり(CVDとRIEの組合せ)、したがって、サイドウォール120a, 120bもフォトリソグラフィ工程を経ずに自己整合的に形成される。

【0066】このサイドウォール120a, 120bは、トレンチに沿ってストライプ状に伸びている、梯子状のソース領域の第1の部分60a, 60bの、少なくとも主要部を覆う。このサイドウォール120a, 120bは、次の工程のボディP層の表面へのP型不純物導

入の際のマスクとして機能する。

【0067】サイドウォール120a, 120bはソース領域の第1の部分60a, 60bを完全に覆うことが望ましい。しかし、サイドウォール40a, 40bの端部の位置がソース領域の第1の部分60a, 60bの端部の位置と一致せずに、第1の部分の一部がはみだした場合でも現実には問題はない。

【0068】これは、縦型MOSトランジスタのチャネルは、トレンチ内壁に形成されたゲート絶縁膜70a, 70bに接する部分に形成され、ソース領域のうちの、そのチャネルに接続される部分の不純物濃度が所定値以上であれば、ソースとして十分に機能するからである。

【0069】工程11

続いて、図11に示すように基板の全面にP型不純物であるフッ化ボロン(BF₂)をイオン打ち込みする。BF₂を用いるのは、質量の大きな不純物を用いることによって極浅いイオン打ち込みを可能とするためである。この場合のBF₂のドーズ量は、 $1 \times 10^{15} \text{ atoms/cm}^2$ 以下である。

【0070】このBF₂の打ち込みによってボディP層20の表面の不純物濃度が高められ、ボディP層の表面の抵抗値が低くなると共に、後にソース電極が接続された場合のコンタクト抵抗も低減される。よって、寄生トランジスタがオンしにくく、MOSFETの破壊も抑制できる。

【0071】一方、BF₂は、梯子状のソース領域の構成部分である第2の部分(N⁺)110a, 110bにも打ち込まれ、打ち込まれたP型不純物は、ソース抵抗を上昇させる方向に作用する。

【0072】しかし、第2の部分110a, 110bのN型不純物の濃度は $1 \times 10^{20} \text{ atoms/cm}^3$ 以上と高濃度であるため、現実にはほとんど問題とならない。

【0073】図21に、このことを実証するための実験の結果を示す。図21は、N型不純物濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ の半導体基板にP型不純物(BF₂)をイオン注入した場合に、P型不純物のドーズ量の変化に応じて、基板表面に金属電極を接続した場合のコンタクト抵抗がどのように変化するかを実測した結果を、グラフ化した図である。

【0074】P型不純物の導入量を増やしていくにつれてコンタクト抵抗も徐々に増大していくが、ドーズ量が $1 \times 10^{15} \text{ atoms/cm}^2$ (不純物濃度でみると、N型基板の不純物の1/3程度)であっても、コンタクト抵抗は24Ω程度であり、十分に低いコンタクト抵抗(ソースコンタクト抵抗)が実現されることがわかる。

【0075】一方、P型不純物のドーズ量が $1 \times 10^{15} \text{ atoms/cm}^2$ 程度であれば、ボディP層20の表面の不純物濃度は問題のないレベルとなり、ボディP層に対するコンタクト抵抗も低く抑えられる。よって、寄生トランジスタがオンしにくくなり、素子破壊も抑制でき

る。

【0076】工程12

900℃, 30分程度のアニールによりイオン注入されたBF₂が活性化され、図12に示すようにボディP層20の表面にP⁺層130が形成される。上述のように、問題のないボディP領域へのコンタクト抵抗となり、寄生バイポーラトランジスタ動作に伴う素子破壊も抑制することが可能である。

【0077】工程13

必要に応じて、図13に示すように、サイドウォール110a, 110bを除去する。

【0078】本工程におけるデバイスの平面図および断面図が図18(a)~(c)に示される。(a)はデバイスの平面図であり、(b)は(a)におけるA-A線に沿う断面図であり、(c)は(a)におけるB-B線に沿う断面図である。

【0079】以上説明したの製造プロセスのフローを図22に示す。

【0080】すなわち、まず、トレンチマスクを形成し(ステップ300)、N型不純物を導入し(ステップ302)、続いてサイドウォールを形成(ステップ304)する。

【0081】次に、トレンチを形成し(ステップ306)、犠牲酸化、犠牲酸化膜の除去、ゲート酸化を行って、トレンチに沿ってストライプ状のソース領域の第1の部分形成する(ステップ308)。

【0082】次に、ゲート電極を形成し(ステップ310)、キャップ酸化を行う(ステップ312)。

【0083】次に、トレンチに直交する方向にレジストマスクを形成し(ステップ314)、続いて、N型不純物を導入して熱処理することによって梯子状のソース領域を形成する(ステップ316)。

【0084】次に、ソースの第1部分を覆うサイドウォールを形成し(ステップ318)、このサイドウォールをマスクとして用いてP型不純物を導入し、ボディP層の表面にP⁺層を形成する(ステップ320)。

【0085】以上説明したように、セルフアラインを何回も連続して使用することにより、無駄なスペースのない極めて微細な素子の製造が可能となる。

【0086】本発明は、トレンチを用いた半導体装置の製造に広く適用できる。特に、MOSFET, IGBT, 絶縁ゲートサイリスタ等の縦型絶縁ゲートデバイスの製造に広く適用可能である。

【0087】

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の実施例の、第1の工程を示す要部の斜視断面図である。

【図2】本発明の半導体装置の製造方法の実施例の、第2の工程を示す要部の斜視断面図である。

【図3】本発明の半導体装置の製造方法の実施例の、第

3の工程を示す要部の斜視断面図である。

【図4】本発明の半導体装置の製造方法の実施例の、第4の工程を示す要部の斜視断面図である。

【図5】本発明の半導体装置の製造方法の実施例の、第5の工程を示す要部の斜視断面図である。

【図6】本発明の半導体装置の製造方法の実施例の、第6の工程を示す要部の斜視断面図である。

【図7】本発明の半導体装置の製造方法の実施例の、第7の工程を示す要部の斜視断面図である。

【図8】本発明の半導体装置の製造方法の実施例の、第8の工程を示す要部の斜視断面図である。

【図9】本発明の半導体装置の製造方法の実施例の、第9の工程を示す要部の斜視断面図である。

【図10】本発明の半導体装置の製造方法の実施例の、第10の工程を示す要部の斜視断面図である。

【図11】本発明の半導体装置の製造方法の実施例の、第11の工程を示す要部の斜視断面図である。

【図12】本発明の半導体装置の製造方法の実施例の、第12の工程を示す要部の斜視断面図である。

【図13】本発明の半導体装置の製造方法の実施例の、第13の工程を示す要部の斜視断面図である。

【図14】(a)は図2の工程におけるデバイスの平面図であり、(b)は同じく図2の工程におけるデバイスの断面図である。

【図15】(a)は図3の工程におけるデバイスの平面図であり、(b)は同じく図3の工程におけるデバイスの断面図である。

【図16】(a)は図5の工程におけるデバイスの平面図であり、(b)は同じく図5の工程におけるデバイスの断面図である。

【図17】(a)は図7の工程におけるデバイスの平面図であり、(b)は(a)の平面図におけるA-A線に沿うデバイスの断面図であり、(c)は(a)の平面図におけるB-B線に沿うデバイスの断面図である。

【図18】(a)は図13の工程におけるデバイスの平

面図であり、(b)は(a)の平面図におけるA-A線に沿うデバイスの断面図であり、(c)は(a)の平面図におけるB-B線に沿うデバイスの断面図である。

【図19】図1～図13の工程を経て製造される、縦型MOSFETの要部の断面図である。

【図20】図19のデバイスの等価回路を示す図である。

【図21】N型不純物濃度が $1 \times 10^{20} / \text{cm}^3$ のシリコン基板の表面にP型不純物(BF₂)をイオン注入した場合の、そのN型領域のコンタクト抵抗の変化を実測した結果を示す図である。

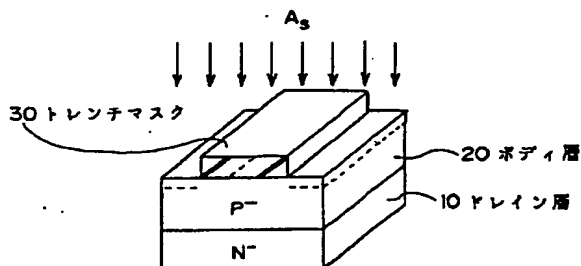
【図22】本発明の実施の形態にかかる半導体装置の製造方法のプロセスフローを示す図である。

【図23】(a)はパワーMOSFET(UMOS)における素子破壊のメカニズムを説明するためのデバイスの断面図であり、(b)は(a)に示されるデバイスの等価回路を示す図である。

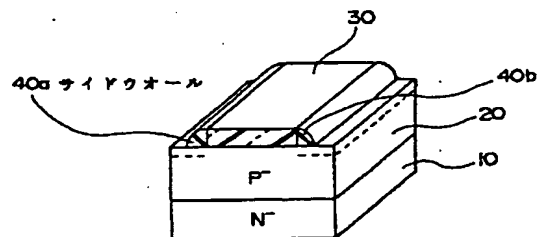
【符号の説明】

- 10 ドレイン層
- 20 ボディP層
- 30 トレンチマスク(Si₃N₄)
- 40a, 40b サイドウォール
- 50a, 50b トレンチ
- 60a, 60b 梯子状ソース領域(N⁺)を構成する第1の部分
- 70a, 70b ゲート酸化膜
- 80a, 80b ゲート電極材料層(ポリシリコン)
- 90a, 90b キャップ酸化膜
- 100a, 100b, 100c レジストマスク
- 110a, 110b 梯子状ソース領域(N⁺)を構成する第2の部分
- 120a, 120b サイドウォール
- 200 ソース電極
- 220 ドレイン電極

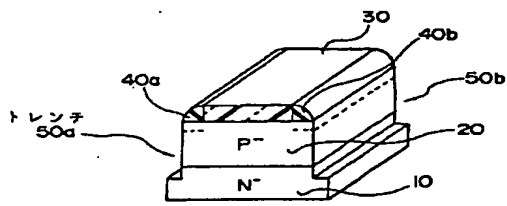
【図1】



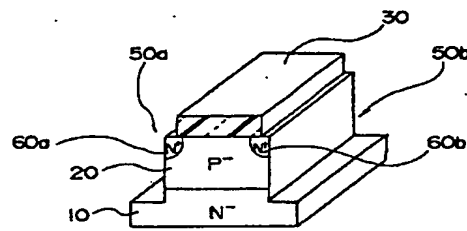
【図2】



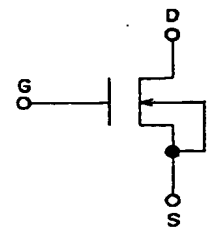
【図3】



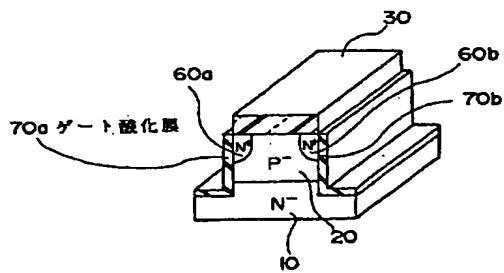
【図4】



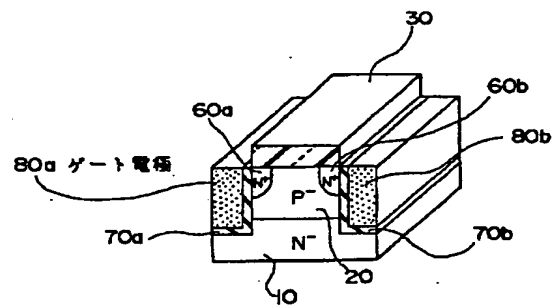
【図20】



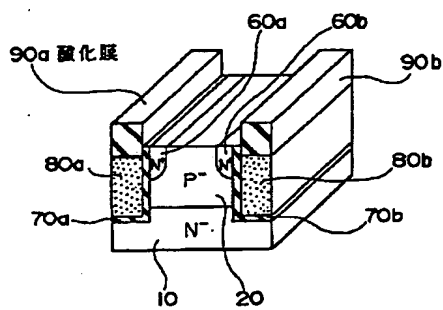
【図5】



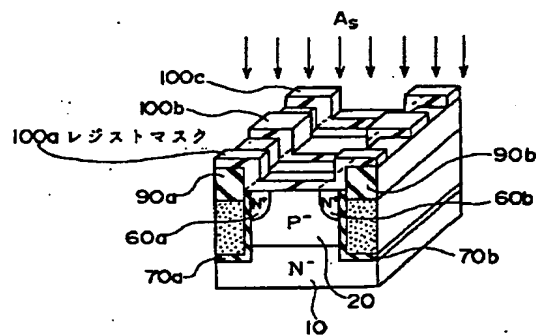
【図6】



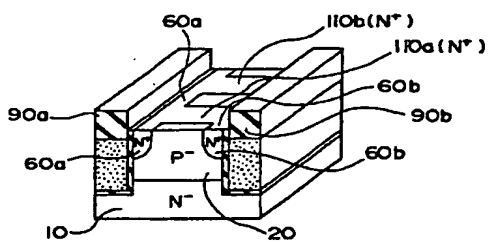
【図7】



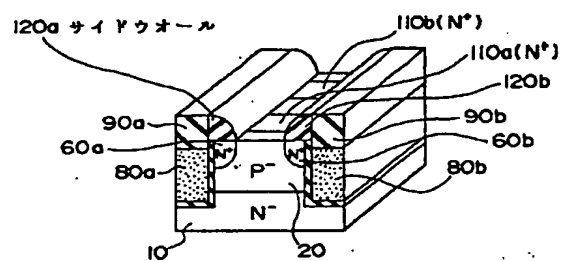
【図8】



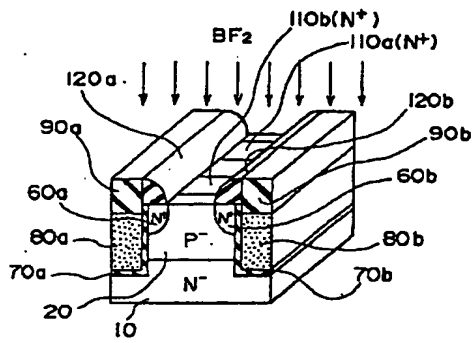
【図9】



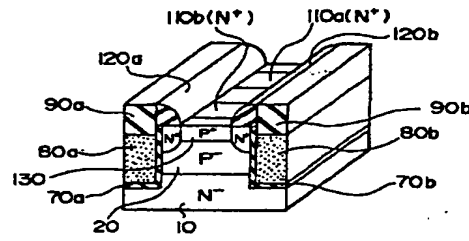
【図10】



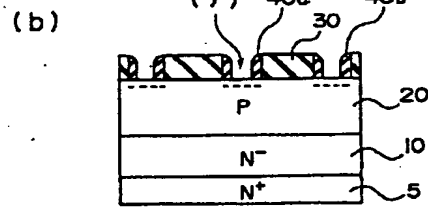
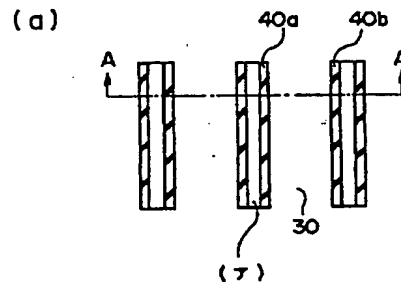
【図11】



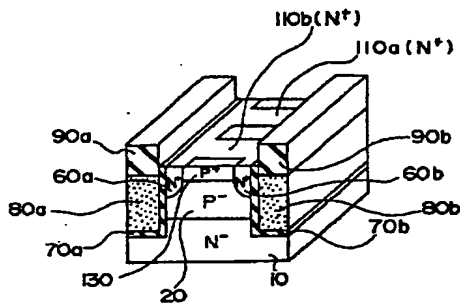
【図12】



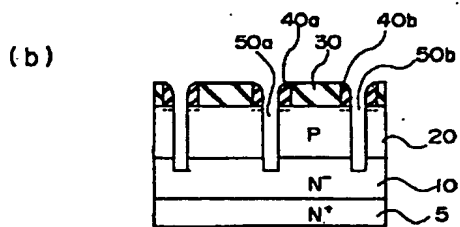
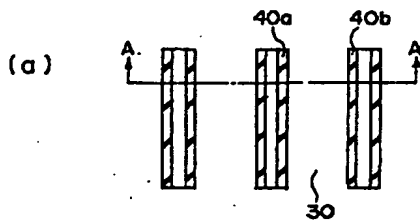
【図14】



【図13】



【図15】



【図21】

